

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209467

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 L

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 21/20

H 0 1 L 21/20

21/336

29/78

6 1 2 D

6 1 7 K

審査請求 未請求 請求項の数6 F D (全 9 頁) 最終頁に続く

(21)出願番号

特願平9-26184

(22)出願日

平成9年(1997) 1月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 下垣内 康

東京都品川区北品川6丁目7番35号 ソニー株式会社内

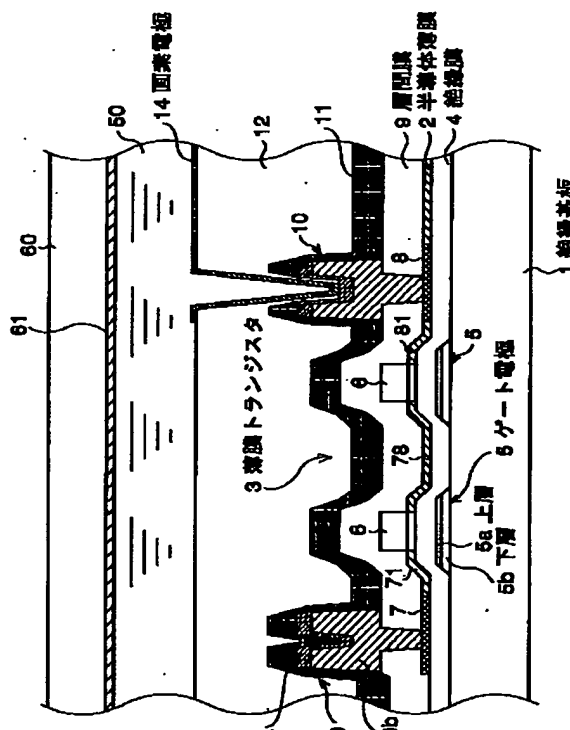
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 薄膜半導体装置

(57)【要約】

【課題】 ボトムゲート型の薄膜トランジスタの活性層となる半導体薄膜のレーザアニールによる再結晶化処理を均一化及び最適化する。

【解決手段】 薄膜半導体装置は薄膜トランジスタ3を絶縁基板1に集積形成したものである。薄膜トランジスタ3は下から順にゲート電極5、絶縁膜4及び半導体薄膜2を積層したボトムゲート構造となっている。ゲート電極5は比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層5aと、比較的熱伝導度が高く且つ配線として必要な導電性を備えた下層5bとを重ねた多層構造を有する。半導体薄膜2は絶縁膜4を介してゲート電極5及び絶縁基板1の上に延在した状態でエネルギー照射を受け、均一且つ最適に再結晶化された多結晶構造を呈する。場合によっては、絶縁基板1の表面に、平面的に見てゲート電極5と隣接する様に熱伝導性の下地膜を形成し、絶縁基板1表面の熱伝導状態を一様化してもよい。



## 【特許請求の範囲】

【請求項1】 下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置であって、前記ゲート電極は、少くとも比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層と、比較的熱伝導度が高く且つ配線として必要な導電性を備えた下層とを重ねた多層構造を有し、前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該絶縁基板の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有することを特徴とする薄膜半導体装置。

【請求項2】 前記ゲート電極は、断面形状が台形になっていることを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記ゲート電極は、上層及び下層の少くとも一方が遮光性であることを特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置であって、前記絶縁基板の表面には、平面的に見て該ゲート電極と隣接する様に熱伝導性の下地膜が形成されており、絶縁基板表面の熱伝導状態を一様化するとともに、前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該下地膜の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有することを特徴とする薄膜半導体装置。

【請求項5】 所定の間隙を介して接合した一对の絶縁基板と、該間隙に保持された電気光学物質とを備え、一方の絶縁基板には対向電極が形成され、他方の絶縁基板には下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタ及び画素電極が集積形成された表示装置であって、前記ゲート電極は、少くとも比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層と、比較的熱伝導度が高く且つ配線として必要な導電性を備えた下層とを重ねた多層構造を有し、前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該絶縁基板の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有することを特徴とする表示装置。

【請求項6】 所定の間隙を介して接合した一对の絶縁基板と、該間隙に保持された電気光学物質とを備え、一方の絶縁基板には対向電極が形成され、他方の絶縁基板には下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタ及び画素電極が集積形成された表示装置であって、前記他方の絶縁基板の表面には、平面的に見て該ゲート

り、絶縁基板表面の熱伝導状態を一様化するとともに、前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該下地膜の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有することを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は多結晶シリコンなどを活性層とするボトムゲート型の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置に関する。より詳しくは、600℃以下の低温プロセスで作成される多結晶シリコン薄膜トランジスタの構造に関する。

## 【0002】

【従来の技術】薄膜半導体装置は表示用としてアクティブマトリクス型液晶ディスプレイなどの駆動基板に好適であり、現在盛んに開発が進められている。薄膜トランジスタの活性層には多結晶シリコン又は非晶質シリコンが用いられる。特に、多結晶シリコン薄膜トランジスタは小型で高精細のアクティブマトリクス型カラー液晶表示装置が実現でき、注目を集めている。透明なガラスなどからなる絶縁基板上に画素スイッチング素子として薄膜トランジスタを形成する為、従来の半導体技術では電極材料や抵抗材料としてのみ活用されていた多結晶シリコン薄膜を活性層に利用する技術である。市場で求められる画像品位を実現する為の高密度設計が可能な高性能のスイッチング素子用薄膜トランジスタを実現できる唯一の技術である。これは同時に、従来外付けのICを用いていた周辺回路部を画素アレイ部と同一基板上に同一プロセスで形成することも可能にした。非晶質シリコン薄膜トランジスタでは実現できなかった高精細かつ周辺回路部一体型のアクティブマトリクス液晶ディスプレイが実現できる。

【0003】多結晶シリコンは非晶質シリコンに比べキャリア移動度が大い為、多結晶シリコン薄膜トランジスタの電流駆動能力が高くなり、高速駆動が必要な水平走査回路及び垂直走査回路などの周辺回路部を画素スイッチング用の薄膜トランジスタと同一基板上に同時に作り込むことができる。従って、表示用薄膜半導体装置から外部に取り出す信号線の本数を大幅に削減することができる。又、Nチャネル型及びPチャネル型の薄膜トランジスタを集積形成したCMOS回路をオンチップ化でき、レベルシフト回路の内蔵が可能になりタイミング系信号の低電圧駆動ができる。

【0004】薄膜トランジスタのデバイス技術及びプロセス技術としては、従来から1000℃以上の処理温度を採用した高温プロセス技術が確立されている。この高温プロセスの特徴は、石英など高耐熱性基板の上に成膜された半導体薄膜を固相成長により改質する点である。固相成長法は1000℃以上の温度で半導体薄膜を熱処

集合である多結晶シリコンに含まれる一個一個の結晶粒を大きくする。この固相成長法により得られた多結晶シリコンは $100\text{ cm}^2/\text{v} \cdot \text{s}$ 程度の高いキャリア移動度が得られる。この様な高温プロセスを実施する為には耐熱性に優れた基板の採用が必須であり、従来から高価な石英などを用いていた。しかしながら、石英は製造コスト低減化の観点からは不利である。

【0005】上述した高温プロセスに代えて、 $600^\circ\text{C}$ 以下の処理温度を採用した低温プロセスが開発されている。薄膜半導体装置の製造工程を低温プロセス化する方法の一環として、レーザビームを用いたレーザアニールが注目を集めている。これは、ガラスなどの低耐熱性絶縁基板上に成膜された非晶質シリコンや多結晶シリコンなど非単結晶性の半導体薄膜にレーザビームを照射して局部的に加熱熔融した後、その冷却過程で半導体薄膜を結晶化するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として多結晶シリコン薄膜トランジスタを集積形成する。結晶化した半導体薄膜はキャリアの移動度が高くなる為、ある程度薄膜トランジスタを高性能化できる。

【0006】ところで、薄膜トランジスタは従来トップゲート型の構造が主流である。トップゲート構造は絶縁基板の上に半導体薄膜を成膜し、更にゲート絶縁膜を介して上方にゲート電極を形成する。低温プロセスでは低コストの大型ガラス板を絶縁基板に使用する。このガラス板にはNaなどの不純物金属が多く含まれている為、薄膜トランジスタを駆動する電圧に応じてNaなどが局在化する。その電界によって薄膜トランジスタの特性が変動するという信頼性上の問題がある。これに対し、近年低温プロセスに適したボトムゲート型の構造が開発されている。これは、ガラス板などの絶縁基板上に金属膜などからなるゲート電極を配置し、その上にゲート絶縁膜を介して半導体薄膜を形成している。ゲート電極がガラス板中の電界を遮蔽する効果があり、構造的な観点から信頼性上トップゲート型に比べボトムゲート型の方が優れている。因みに、図7にボトムゲート型とトップゲート型の薄膜トランジスタの信頼性を比較したデータを示す。このデータは薄膜トランジスタでCMOSリングオシレータを作成し、 $120^\circ\text{C}$ の温度条件下で共振周波数の変化を経時的に測定したものである。図7のグラフから明らかな様に、ボトムゲート型の方がトップゲート型に比べて動作特性が安定している。

【0007】

【発明が解決しようとする課題】しかしながら、ボトムゲート構造はレーザアニールによる結晶化を行う時に大きな問題がある。再結晶化する半導体薄膜は、概ねチャネル領域となる部分がゲート電極の直上に位置し、ソース領域及びドレイン領域となる部分はガラス板上にある。この為、レーザビームの照射によりエネルギーを与

態や放散状態に相違が出てくる。よって、最適なレーザエネルギーがチャネル領域とソース領域及びドレイン領域で異なる為、大きなキャリア移動度が得られる最適エネルギーでのレーザ照射ができなくなる。即ち、レーザアニールによる再結晶化を行う場合、金属ゲート電極上の半導体薄膜とガラス板上の半導体薄膜の両者に同時にレーザビームを照射する訳であるが、一旦熔融化して冷却過程で固化する間に、金属ゲート電極上では熱がゲート配線を伝わって水平方向に放散する為、比較的短時間に固化する。この為、金属ゲート電極上とガラス板上とでは再結晶化した半導体薄膜の結晶粒が異なり、キャリア移動度が均一でなくなる。極端に言うと、金属ゲート電極上の半導体薄膜の結晶粒径を大きくしようとする、ガラス板上の半導体薄膜は照射エネルギーが高くなり過ぎて蒸発することがある。逆に、ガラス板上の半導体薄膜の結晶状態を正常にしようすると、金属ゲート電極上の半導体薄膜は結晶粒径が小さくなってしまふ。これが、従来のボトムゲート構造の解決すべき課題となっている。

20 【0008】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為以下の手段を講じた。本発明によれば、薄膜半導体装置は基本的な構成として、下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成したものである。特徴事項として、前記ゲート電極は、少なくとも比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層と、比較的熱伝導度が高く且つ配線として必要な導電性を備えた下層とを重ねた多層構造を有する。前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該絶縁基板の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有する。好ましくは、前記ゲート電極は断面形状が台形になっている。又好ましくは、前記ゲート電極は、上層及び下層の少くとも一方が遮光性である。

30

40

【0009】本発明の他の側面によれば、下から順にゲート電極、絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置において、前記絶縁基板の表面には、平面的に見て該ゲート電極と隣接する様に熱伝導性の下地膜が形成されており、絶縁基板表面の熱伝導状態を一樣化することを特徴とする。この場合、前記半導体薄膜は、該絶縁膜を介して該ゲート電極及び該下地膜の上に延在した状態でエネルギー照射により再結晶化された多結晶構造を有する。

【0010】本発明の第1側面によれば、ゲート電極を積層構造とし、比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層を形成している。これにより、ゲート電極の上と絶縁基板の上とで熱伝導状

の最適化が可能になり、高品質の多結晶半導体薄膜を得ることができる。又、熱伝導度が低い場合これに応じて電気伝導度も低くなることが一般的である。これは、ゲート配線としては不利な条件である。そこで、本発明では配線として必要な導電性を備えた下層を設けることで低抵抗化を図っている。以上の様に、絶縁基板の全面に渡って熱分布を均一化する為には、ゲート電極として用いる導体材料の熱伝導度を小さくすればよい。但し、ゲート配線としては抵抗率はできるだけ小さい方がよい。この2つの物性は相反するものであるから、本発明の第1側面ではゲート電極を二層構造として上層及び下層の物性の良い所を利用する。又、本発明の第2側面によれば、平面的に見てゲート電極と隣接する様に熱伝導性の下地膜が形成されており、絶縁基板表面の熱伝導状態を一樣化している。これにより、レーザアニールによる半導体薄膜の再結晶化が均一に行え、レーザビーム照射条件の最適化が可能になる。

#### 【0011】

【発明の実施の形態】以下図面を参照して本発明の実施形態を詳細に説明する。図1は本発明に係る半導体薄膜の第1実施形態を示す模式的な部分断面図である。図示する様に、本薄膜半導体装置は下から順にゲート電極5、絶縁膜4及び半導体薄膜2を積層したボトムゲート構造の薄膜トランジスタ3をガラスなどからなる絶縁基板1上に集積形成したものである。本薄膜半導体装置はアクティブマトリクス型表示装置の駆動基板に用いられている。この為、薄膜トランジスタ3には画素電極14が接続されている。又、薄膜トランジスタ3は信頼性を高める為、ダブルゲート構造となっている。但し、本発明はこれに限られるものではなくシングルゲート構造の薄膜トランジスタにも適用可能であることは言うまでもない。表示装置を組み立てる場合には、所定の間隙を介して一方の絶縁基板60に他方の絶縁基板1を接合する。一方の絶縁基板60はガラスなどからなり、その表面にはあらかじめ対向電極61が形成されている。両基板60、1の間隙には電気光学物質として例えば液晶50が保持される。

【0012】本発明の特徴事項として、ゲート電極5は少なくとも上層5aと下層5bとを重ねた多層構造を有している。上層5aは比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えている。具体的には、ITO膜、TiN膜、TiON膜などの化合物膜、あるいはニクロムなどの合金膜が用いられる。その膜厚は例えば50~300nm程度である。一方、下層5bは比較的熱伝導度が高く且つ配線として必要な導電性を備えている。例えば、W、Cr、Mo、Tiなどの低抵抗高融点金属膜を用いる。この膜厚は50~200nmの範囲にあり、例えば100nmに設定する。ゲート電極5はゲート配線(図示せず)から延設されている。一般

し、コンタクトホール(図示せず)を介して他の回路部(図示せず)に接続する。この関係で、上層5aは少くともコンタクトを取る為に必要な導電性を備えており、下層5bは配線として必要な導電性を備えている。ゲート電極5は断面形状が台形になっている。端面の傾斜角は45度以下であり、好ましくは5度~15度の範囲にある。この台形形状はゲート電極5より上方に形成される膜の断切れを防止する為に有効である。又、ゲート電極5は上層5a及び下層5bの少くとも一方が遮光性を備えており、全体としてゲート電極5は不透明である。これにより、絶縁基板1の裏面から入射する光による薄膜トランジスタ3の電流リークなどを抑制している。

【0013】ゲート電極5はSiO<sub>2</sub>などからなる絶縁膜4により被覆されている。絶縁膜4の上には多結晶シリコンなどからなる半導体薄膜2が成膜されている。半導体薄膜2の上には各ゲート電極5と整合する様にストッパ6がパタニング形成されている。ストッパ6の直下に位置する半導体薄膜2の部分がチャネル領域となる。又、半導体薄膜2には不純物が高濃度で注入されたソース領域7及びドレイン領域8が形成されている。更に、不純物が低濃度で注入されたLDD領域71、78、81も形成されている。係る構成を有する薄膜トランジスタ3はSiO<sub>2</sub>などからなる層間膜9により被覆されている。層間膜9の上には信号配線10がパタニング形成されており、コンタクトホールを介して薄膜トランジスタ3のソース領域7に電気接続している。この信号配線10はMoなどからなる上層金属膜10aとAlなどからなる下層金属膜10bの二層構造となっている。同様に、ドレイン領域8側にも接続用の配線10がパタニング形成されている。これらの配線10はパシベーション膜11を間にして平坦化膜12により被覆されている。平坦化膜12の上にはITOなどからなる画素電極14がパタニング形成されている。この画素電極14は平坦化膜12に開口したコンタクトホール及び接続用の配線10を介して薄膜トランジスタ3のドレイン領域8に電気接続している。

【0014】図2を参照して、図1に示した薄膜半導体装置の製造方法を詳細に説明する。尚図を見やすくする為、ゲート電極は一個のみを示してある。まず(A)に示す様に、ガラスなどからなる絶縁基板1の上に下層5bをスパッタ法で全面的に形成する。この下層5bは低抵抗であることが好ましく、更には高融点であることが望ましいので、一般的にW、Cr、Mo、Tiなどの金属膜を用いる。膜厚は約100nmである。一般的には、50~200nmの膜厚範囲に入ればよい。下層5bの上に連続的又は不連続的に、上層5aをスパッタ法などで全面的に成膜する。この上層5aが本発明の特徴要素となっている。上層5aは低抵抗である必要はあまりないが、熱伝導の小さい材料を使う。但し、上層5a

必要な導電性は備えている必要がある。上層5aは、例えばITO膜、TiN膜、TiON膜などの化合物膜あるいはニクロムなどの合金膜が用いられる。膜厚は比較的厚い方がよく、大体50~300nmの範囲に設定される。

【0015】次に(B)に示す様に、上層5a及び下層5bを重ねた多層膜を例えば等方性のドライエッチングでパタニングし、ゲート電極5に加工する。等方性のドライエッチングを行うことにより、ゲート電極5の断面形状を台形に加工することができる。即ち、ゲート電極5の端面は5度~15度の範囲でテーパが付けられる。

【0016】(C)に示す様に、例えばプラズマCVD法(PE-CVD法)でSiO<sub>2</sub>を例えば100~200nmの厚みで堆積し、ゲート電極5を被覆する絶縁膜4とする。更にその上に、非晶質シリコンを例えば20~60nmの厚みで堆積して半導体薄膜2を設ける。同一の成膜チャンバで真空を破らずに絶縁膜4及び半導体薄膜2を連続成長させることができる。ここで、絶縁基板1を例えば400℃の温度まで加熱する。PE-CVD法で成膜した非晶質シリコンの半導体薄膜2には約10%の水素が含まれており、400℃の熱処理でこの水素は脱離する。この後、例えば波長308nmのXeClエキシマレーザ光を照射して半導体薄膜2の再結晶化を図る。レーザ光のエネルギーによって非晶質シリコンが熔融し、固まる時に多結晶シリコンとなる。この固まる時の時間によって結晶性(主に結晶粒径、グレインサイズ)が決められる。本発明では、ゲート電極5の上層5aとして比較的熱伝導性の小さな材料を用いており、その分水平方向の熱拡散が少くなり、熔融してから固まるまでのスピードが遅くなる。これにより、実用的に見て十分大きな結晶粒径を有する多結晶シリコンが得られる。又、ゲート電極5は台形形状に加工されている為、段差部における半導体薄膜2の断切れを防止することが可能である。

【0017】(D)に示す様に、半導体薄膜2の上にSiO<sub>2</sub>をPE-CVD法で堆積する。ここで裏面露光技術を使ってSiO<sub>2</sub>をパタニングし、ストッパ6に加工する。即ち、遮光性を有するゲート電極5をマスクとして裏面露光を行うことによりセルフアライメントでゲート電極5に整合したストッパ6を得ることができる。ここで、ストッパ6をマスクとしてイオンドーピング法により不純物(例えばリン)を比較的低濃度で半導体薄膜2に注入する。更に、ストッパ6とその周辺をフォトリソで被覆した後、比較的高濃度で不純物(例えばリン)をイオンドーピング法により半導体薄膜2に注入する。これにより、ソース領域7及びドレイン領域8が形成される。又、レジストで被覆された半導体薄膜2の部分には比較的低不純物濃度のLDD領域71, 81が残

れる。イオンドーピング法はプラズマ状態のイオンを一気に電界加速して半導体薄膜2にドーピングするものであり、短時間で処理できる。

【0018】最後に(E)に示す様に、ドーピングされた原子を活性化する為に再度レーザ光を照射する。再結晶化と同一方法であるが、結晶を大きくする必要がない為弱いエネルギーで十分である。この後、配線間の絶縁の為にSiO<sub>2</sub>を堆積して層間膜9とする。この層間膜9にコンタクトホールを開口した後、金属アルミニウムなどをスパッタで堆積し、所定の形状にパタニングして配線10に加工する。以下、表示用の薄膜半導体装置を製造する場合には、必要に応じてパシベーション膜、平坦化膜及び画素電極を形成する。

【0019】図3は、レーザアニール時における半導体薄膜の温度変化を模式的に表わしたものである。レーザアニールでは、例えばエキシマレーザ光がパルス的に照射される。パルス照射と共に半導体薄膜を構成するシリコン(Si)の温度は急激に上昇し、融点を超える。この後しばらく定常状態を保った後、パルス照射の終了と共にSiの温度は室温まで徐々に低下する。この時、一旦熔融したシリコンが固化し、多結晶状態が得られる。冷却過程は下地のゲート電極の熱伝導性に依存している。曲線(1)に示す様に、ゲート電極が従来の単層金属膜からなる場合、シリコンの温度は急激に低下する。一方、曲線(3)に示す様に、ガラスなどからなる絶縁基板上的シリコンは比較的緩慢に冷却化する。これは、ガラスの熱伝導性が金属などに比べ低い為である。曲線(2)は本発明に従ってゲート電極の上層を比較的熱伝導度の低い材料で構成した場合の冷却カーブを表わしている。グラフから明らかな様に、この冷却曲線(2)は冷却曲線(3)に近づいている。即ち、本発明によれば、ガラス上のシリコンとゲート電極上のシリコンが熔融してから固まるまでの時間差を小さくすることができる。これにより、下地の相違に係わらずほぼ均一な結晶状態のシリコンを得ることができ、レーザアニールの条件を最適化することが容易である。

【0020】図4はゲート電極5の形成方法の他の実施例を示す工程図である。(A)に示す様に、ガラスなどからなる絶縁基板1の上に下層5bとなる金属膜をスパッタリングする。例えば、金属膜としてTiを200nmの厚みで形成する。次に(B)に示す様に、下層5bをゲート電極の形状にパタニングする。更に(C)に示す様に、下層5bの表面を改質して、上層5aを設ける。即ち、下層5bを窒素雰囲気中で熱処理することにより、TiNからなる上層5aが形成される。この様に、上層5aと下層5bを重ねた多層構造を有するゲート電極5が得られる。以下の工程は、図2と同様である。

【0021】図5は本発明に係る薄膜半導体装置の第2

た第1実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。本実施形態でも、下から順にゲート電極5、絶縁膜4及び半導体薄膜2を積層したボトムゲート構造の薄膜トランジスタ3を絶縁基板1上に集積形成している。特徴事項として、ガラスなどからなる絶縁基板1の表面には、平面的に見てゲート電極5と隣接する様に熱伝導性の下地膜20が形成されており、絶縁基板1表面の熱伝導状態を一様化している。この関係で、ゲート電極5はCr、Mo、Taなどの単層金属膜となっている。一方、下地膜20はITOなどの透明導電膜からなる。半導体薄膜2は絶縁膜4を介してゲート電極5及び下地膜20の上に延在した状態で、レーザー光などのエネルギー照射により再結晶化された多結晶構造を有する。以上の様に、本実施形態では、ボトムゲート型の薄膜トランジスタにおいて、半導体薄膜2をレーザアニールで再結晶化处理する場合、熱分布を均一にする為ゲート電極5の回りにガラスよりも大きな熱伝導性を有する下地膜20を設けている。これにより、良質の多結晶構造を得ることができる。

【0022】図6は本発明に係る薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な斜視図である。この表示装置は駆動基板1と対向基板60との間に液晶などからなる電気光学物質50を保持した構造となっている。駆動基板1には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路41と水平走査回路42とに分かれている。又、駆動基板1の上端側には外部接続用の端子電極47も形成されている。各端子電極47は配線48を介して垂直走査回路41及び水平走査回路42に接続している。画素アレイ部には互いに交差するゲート配線43と信号配線10が形成されている。ゲート配線43は垂直走査回路41に接続し、信号配線10は水平走査回路42に接続している。両配線43、10の交差部には画素電極14とこれを駆動する薄膜トランジスタ3とが形成されている。一方、対向基板60の内表面には図示しないが対向電極が形成されている。

#### 【0023】

【発明の効果】以上説明したように、本発明の第1側面によれば、ゲート電極は比較的熱伝導度が低く且つコンタクトを取る為に必要な導電性を備えた上層と、比較的熱伝導度が高く且つ配線として必要な導電性を備えた下層とを重ねた多層構造を有している。係る構成により、半導体薄膜は絶縁膜を介してゲート電極及び絶縁基板の上に延在した状態でエネルギー照射を受け、均一且つ最適に再結晶化された多結晶構造を呈することが可能になる。又、本発明の第2側面によれば、絶縁基板の表面には平面的に見てゲート電極と隣接する様に熱伝導性の下地膜が形成されており、絶縁基板表面の熱伝導状態を一様化している。半導体薄膜は絶縁膜を介してゲート電極及び下地膜の上に延在した状態でエネルギー照射を受け、均一且つ最適に再結晶化された多結晶構造が得られる。

#### 【図面の簡単な説明】

【図1】本発明に係る薄膜半導体装置の第1実施形態を示す部分断面図である。

【図2】第1実施形態の製造方法を示す工程図である。

【図3】レーザアニール処理時における半導体薄膜の温度変化を示すグラフである。

【図4】本発明に係る薄膜半導体装置の製造方法の他の例を示す工程図である。

【図5】本発明に係る薄膜半導体装置の第2実施形態を示す部分断面図である。

【図6】本発明に係る薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の一例を示す模式的な斜視図である。

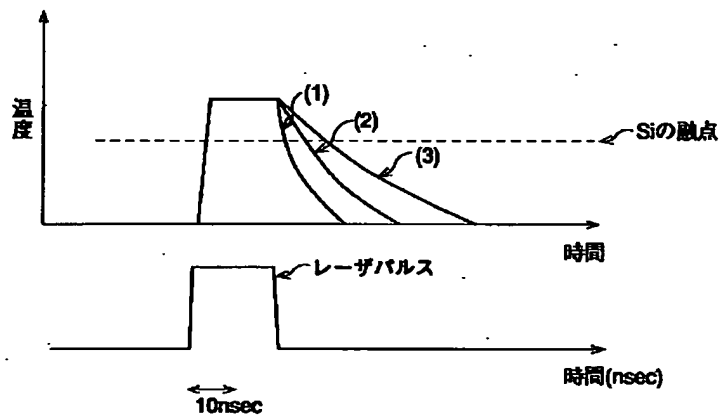
【図7】ボトムゲート型薄膜トランジスタ及びトップゲート型薄膜トランジスタの信頼性を比較したグラフである。

#### 【符号の説明】

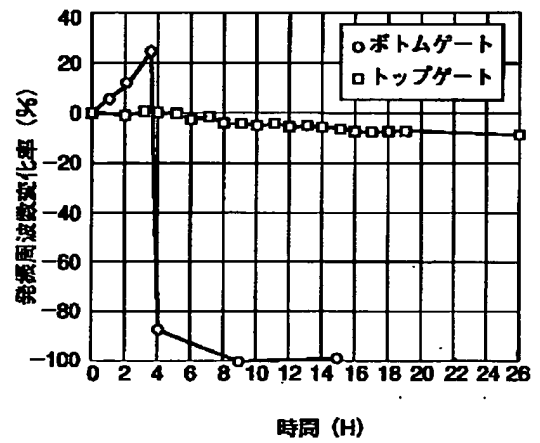
1・・・絶縁基板、2・・・半導体薄膜、4・・・絶縁膜、5・・・ゲート電極、7・・・ソース領域、8・・・ドレイン領域、9・・・層間膜、10・・・信号配線、14・・・画素電極、20・・・下地膜



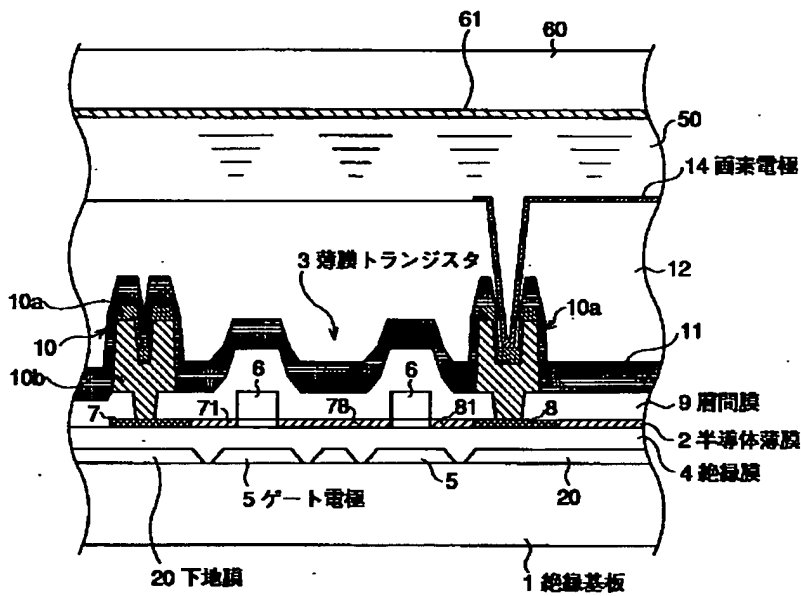
【図3】



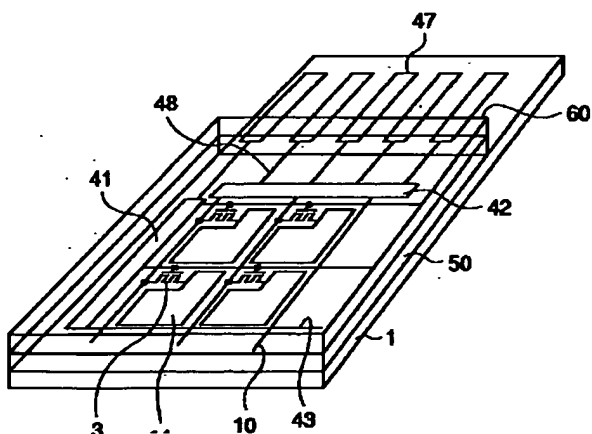
【図7】



【図5】



【図6】





フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I  
H 0 1 L 29/78

6 1 7 J  
6 2 7 G